

PAT-NO: JP404022162A

DOCUMENT-IDENTIFIER: JP 04022162 A

TITLE: LEAD FRAME AND SEMICONDUCTOR INTEGRATED
CIRCUIT DEVICE
USING IT

PUBN-DATE: January 27, 1992

INVENTOR-INFORMATION:

NAME

HAGIWARA, YASUHISA

ITO, FUJIO

SUZUKI, KAZUNARI

SUZUKI, HIROMICHI

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

HITACHI MICRO COMPUT ENG LTD

COUNTRY

N/A

N/A

APPL-NO: JP02127914

APPL-DATE: May 17, 1990

INT-CL (IPC): H01L023/50

US-CL-CURRENT: 257/676

ABSTRACT:

PURPOSE: To restrain a resin-molded package from being cracked at a test process such as a temperature cycle test, a thermal shock test or the like and at a soldering and mounting process by a method wherein a cutout part is formed and a die pad is divided by using the cutout part.

CONSTITUTION: A semiconductor chip 4 is bonded to a die pad 8 via a thin bonding part composed of a silver paste; cutout parts 9 which are extended to

the central direction from its outer circumference are formed in the die pad 8;
and the pad 8 is divided into four parts by the parts 9. Molding resins on both the surface side and the rear surface side of the die pad 8 are bonded through the portions situated on the outer side of a chip mounting region 10 out of the parts 9; and it is possible to restrain that the molding resin on the rear surface side of the die pad 8 is contracted thanks to its bonding part. Thereby, it is possible to restrain a package crack caused by a thermal stress at a temperature cycle test, a thermal shock test and the like and a package crack caused by expansion of moisture at a soldering and mounting operation. It is possible to sharply increase the reliability and the yield of a semiconductor integrated circuit device 1.

COPYRIGHT: (C)1992,JPO&Japio

⑫ 公開特許公報(A) 平4-22162

⑤ Int. Cl.⁵

識別記号

庁内整理番号

④ 公開 平成4年(1992)1月27日

H 01 L 23/50

U

9054-4M

審査請求 未請求 請求項の数 4 (全7頁)

④ 発明の名称 リードフレームおよびそれを用いた半導体集積回路装置

② 特 願 平2-127914

② 出 願 平2(1990)5月17日

⑦ 発 明 者 萩 原 靖 久 東京都小平市上水本町5丁目22番1号 日立マイクロコンピュータエンジニアリング株式会社内

⑦ 発 明 者 伊 藤 富 士 夫 東京都小平市上水本町5丁目22番1号 日立マイクロコンピュータエンジニアリング株式会社内

⑦ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑦ 出 願 人 日立マイクロコンピュータエンジニアリング株式会社 東京都小平市上水本町5丁目22番1号

⑦ 代 理 人 弁理士 筒井 大和
最終頁に続く

明 細 書

1. 発明の名称

リードフレームおよびそれを用いた半導体集積回路装置

2. 特許請求の範囲

1. ダイパッドにその外周辺から中心方向に延在する切込み部を形成し、前記ダイパッドを前記切込み部によって分割したことを特徴とするリードフレーム。

2. 前記ダイパッドの部品搭載領域に搭載された半導体チップを所定の樹脂によって封止したことを特徴とする請求項1記載のリードフレームを用いた半導体集積回路装置。

3. ダイパッドにその外周辺から中心方向に延在する切込み部を形成し、かつ、前記ダイパッドの部品搭載領域内にダイパッドの上下面を貫通する孔を形成し、前記ダイパッドを前記切込み部または前記孔によって分割したことを特徴とするリードフレーム。

4. 前記ダイパッドの部品搭載領域に搭載された

半導体チップを所定の樹脂によって封止したことを特徴とする請求項3記載のリードフレームを用いた半導体集積回路装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、リードフレームおよびそれを用いた半導体集積回路装置技術に関し、特に、半導体集積回路装置を構成する樹脂モールド形パッケージのクラック抑制技術に関するものである。

〔従来の技術〕

樹脂モールド形パッケージにクラックが発生する工程には、例えば次の二つの工程がある。一つは、温度サイクル試験や熱衝撃試験等の試験工程、もう一つは、組立の完了した半導体集積回路装置を配線基板等に実装する半田実装工程である。

温度サイクル試験や熱衝撃試験等は、低温(例えば-65℃)から高温(例えば150℃)、高温から低温の繰り返し温度変化に対する半導体集積回路装置の耐性評価試験である。これら試験工程の際に発生するパッケージクラックは、主とし

て使用材料（半導体チップ、リードフレーム、モールド樹脂等）の熱特性値（熱膨張係数、熱伝導率等）の違いに起因して発生すると想定される。すなわち、例えばそれら試験工程における低温冷却時に、ダイパッドの下面側のモールド樹脂が使用材料の熱特性値の違いに起因して収縮すると、ダイパッドに大きな圧縮ストレスが加わり、その反作用としてダイパッドからその下面側のモールド樹脂にストレスが加わる。これらストレスによって、ストレスが最も加わるダイパッドの端部等を起点としてモールド樹脂にクラックが入ると想定される。この対策として従来は、例えば第7図(a)、(b)に示すように、ダイパッド50の下面側に未貫通状態の凹部51を複数形成することによって、ダイパッド50下面とその下面側のモールド樹脂とを機械的に接合し、低温冷却時におけるダイパッド50下面側のモールド樹脂の収縮等を抑止していた。なお、第7図(b)は同図(a)のB-B線の断面図である。

一方、半田実装工程の際に発生するパッケージ

ージクラックを抑制する点については効果が得られるが、半田実装の際に発生するパッケージクラックを抑制するための十分な効果が得られていない。これは、ダイパッドが分割されていないので、半田実装の際の水分の気化膨張に起因する応力を充分小さくできないためと想定される。

一方、ダイパッドに十字状の貫通孔を形成した上記従来技術においては、半田実装の際に発生するパッケージクラックを抑制する点については効果が得られるが、温度サイクル試験や熱衝撃試験等の際に発生するパッケージクラックを抑制するための十分な効果が得られていない。これは、十字状の貫通孔では、例えば低温冷却時におけるダイパッド下面側の樹脂の収縮等を充分抑止できないためと想定される。

本発明は上記課題に着目してなされたものであり、その目的は、温度サイクル試験や熱衝撃試験等の試験工程および半田実装工程における樹脂モールド形パッケージのクラックを抑制することのできる技術を提供することにある。

クラックは、主としてダイパッドの下面とモールド樹脂との界面に存在する水分に起因すると想定される。すなわち、ダイパッドの下面とモールド樹脂との界面に水分があると、その水分が半田実装の際の熱により急激に気化膨張し、その膨張によってモールド樹脂への圧力が急増することによって想定される。この対策としては、例えば特願昭62-56590号に記載があり、第8図に示すように、ダイパッド50のチップ搭載領域52内にダイパッド50の上下面を貫通する十字状の孔53を穿孔することによって、ダイパッド50を四分割し、半田実装の際に発生するダイパッド50下面側の水分の気化膨張に起因する応力を小さくしていた。

〔発明が解決しようとする課題〕

ところが、上記従来技術においては、以下の問題があることを本発明者は見出した。

すなわち、ダイパッドの下面に未貫通状態の凹部を複数形成した上記従来技術においては、温度サイクル試験や熱衝撃試験等の際に発生するパッ

本発明の前記ならびにその他の目的と新規な特徴は、明細書の記述および添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

すなわち、第1の発明は、ダイパッドの部品搭載領域に搭載された半導体チップを所定の樹脂によって封止した半導体集積回路装置であって、前記ダイパッドにその外周辺から中心方向に延在する切込み部を形成し、前記ダイパッドを前記切込み部によって分割した半導体集積回路装置構成とするものである。

第2の発明は、ダイパッドの部品搭載領域に搭載された半導体チップを所定の樹脂によって封止した半導体集積回路装置であって、前記ダイパッドにその外周辺から中心方向に延在する切込み部を形成し、かつ、前記部品搭載領域内にダイパッドの上下面を貫通する孔を形成し、前記ダイパッ

ドを前記切込み部または前記孔によって分割した半導体集積回路装置構造とするものである。

〔作用〕

上記した発明によれば、ダイパッドの外周辺に形成された切込み部分を通じてダイパッドの上下両側のモールド樹脂が接合され、その接合部分によって、例えば低温冷却時におけるダイパッド下面側の樹脂の収縮が抑止される。

また、ダイパッドを分割したことにより、半田実装の際のダイパッド下面側の水分の気化膨張に起因する応力を小さくすることが可能となる。

〔実施例〕

第1図は本発明の一実施例である半導体集積回路装置を構成する半導体チップが搭載されるダイパッドの拡大平面図、第2図はその半導体集積回路装置の一部破断斜視図、第3図は第2図に示した半導体集積回路装置のⅢ-Ⅲ線の断面図である。

第2図および第3図に示す本実施例の半導体集積回路装置1は、QFP (Quad Flat Package) 形の半導体集積回路装置である。

するために被覆されている。なお、ポリイミド等からなる薄膜を半導体チップ4の裏面側に被着して半導体チップ4とその裏面側のモールド樹脂との密着性を向上させ、半導体チップ4裏面とモールド樹脂との界面に水分が浸入し難い構造としても良い。

半導体チップ4は、例えば銀ペーストからなる薄い接着部7を介してダイパッド8に接合されている。そして、本実施例においては、第1図に示すように、ダイパッド8に、その外周辺から中心方向に延在する切込み部9が形成されており、その切込み部9によってダイパッド8が四分割されている。ダイパッド8は、例えば42アロイからなる。ダイパッド8の平面寸法は、例えば10.2～11.0mm×10.2～11.0mm程度であり、その厚さは、例えば150μm程度である。切込み部9の幅Dは、例えば1mm程度あるいはそれ以上である。第1図の二点鎖線は、チップ搭載領域（部品搭載領域）10を示しており、切込み部9は、その一部がチップ搭載領域10の外側にも形成さ

パッケージ2は、例えばシリコン変性エポキシ樹脂等のモールド樹脂にシリカ等のフィラーを充填して構成されている。また、パッケージ2を構成するモールド樹脂は、モールド時の粘度が、例えば 1×10^3 P (ポアズ) 程度となるような低粘度樹脂である。パッケージ2の四側面からは、ガルウイング状のアウターリード3aが突出されている。アウターリード3aは、第3図に示すようにパッケージ2の内部のインナーリード3bと一体的に成形されている。

パッケージ2の内部には、シリコン (Si) 単結晶からなる半導体チップ4が封止されている。半導体チップ4のチップサイズは、例えば10mm×10mm程度であり、その厚さは、例えば400μm程度である。半導体チップ4は、素子形成領域を上に向けた状態で封止されており、その上面にはポリイミド等からなる薄膜5が被覆されている。薄膜5は、モールド樹脂中の水分が素子形成領域内に浸入するのを防止し、かつモールド樹脂中のフィラーが表面保護膜6を傷付けるのを防止

れている。すなわち、本実施例の半導体集積回路装置1においては、ダイパッド8に形成された切込み部9のうち、チップ搭載領域10の外側に位置する部分を通じてダイパッド8の上下両側のモールド樹脂が接合され、その接合部によってダイパッド8の下面側のモールド樹脂の収縮等が抑止される構造となっている。また、ダイパッド8は、切込み部9によって四分割されているので、ダイパッド8の下面とモールド樹脂との界面の水分が半導体集積回路装置1の半田実装時に気化膨張してもその膨張に起因する応力を小さくすることが可能になっている。切込み部9は、例えばリードフレームの製造工程において、アウターリード3a、インナーリード3b、ダイパッド8等を打ち抜き加工やエッチング加工等によって形成する際に同時に形成される。

このように本実施例によれば、以下の効果を得ることが可能となる。

(1). ダイパッド8にその外周辺から中心方向に延在する切込み部9を形成したことにより、チップ

搭載領域10の外側領域における切込み部9を通じてダイパッド8の上下両側のモールド樹脂が接合され、その接合によってダイパッド8の下面側のモールド樹脂の収縮等が抑止されるので、温度サイクル試験や熱衝撃試験等の際の熱応力に起因するパッケージクラックを抑制することが可能となる。

(2). また、ダイパッド8を切込み部9によって分割したことにより、半導体集積回路装置1を所定の配線基板等に半田実装する際に、ダイパッド8の下面とモールド樹脂との界面の水分が気化膨張しても、その気化膨張に起因する応力を小さくすることができ、その応力に起因するパッケージクラックを抑制することが可能となる。

(3). 上記(1). (2)により、半導体集積回路装置1の信頼性および歩留りを大幅に向上させることが可能となる。

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱し

また、第6図に示すように、ダイパッド8において、チップ搭載領域10の外側に孔13を複数形成し、かつチップ搭載領域10の内側に例えば十字状の孔14を形成し、その十字状の孔14によってダイパッド8を分割しても良い。

また、前記実施例においては、ダイパッドを四分割した場合について説明したが、これに限定されるものではなく種々変更可能である。

また、前記実施例においては、パッケージをQFPとした場合について説明したが、これに限定されるものではなく種々変更可能であり、例えばパッケージをSOP (Small Outline Package) やSOJ (Small Outline J-lead Package) あるいはPLCC (Plastic Leaded Chip Carrier) にしても良い。

〔発明の効果〕

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

すなわち、本発明によれば、ダイパッドの外周

ない範囲で種々変更可能であることはいうまでもない。

例えば、前記実施例においては、ダイパッドを切込み部によって分割した場合について説明したが、これに限定されるものではなく種々変更可能であり、例えば第4図に示すように、ダイパッド8の外周辺から中心方向に延在する切込み部9と、ダイパッド8の中央に形成された例えば十字状の孔11とによって、ダイパッド8を分割しても良い。なお、第4図に示すダイパッド8においては、例えば切込み部9と孔11との境界からダイパッド8の中心までの長さ L_1 と、その境界からダイパッド8の外周辺までの長さ L_2 とが等しくなるように設計されている。

また、第5図に示すように、ダイパッド8において、チップ搭載領域10の外側にダイパッド8の外周辺に沿って延在する孔12aを形成するとともに、その孔12aからダイパッド8の中心方向に例えば幅Dの孔12bを延在させて、その孔12bによってダイパッド8を分割しても良い。

辺に形成された切込み部分を通じてダイパッドの上下両側のモールド樹脂が接合され、その接合部分によって、例えば低温冷却時におけるダイパッド下面側の樹脂の収縮等が抑止されるので、温度サイクル試験や熱衝撃試験等の際の熱応力に起因するパッケージクラックを抑制することが可能となる。また、ダイパッドを分割したことにより、半田実装の際にダイパッド下面とモールド樹脂との界面の水分が気化膨張しても、その気化膨張に起因する応力を小さくすることができるので、その応力に起因するパッケージクラックを抑制することが可能となる。

4. 図面の簡単な説明

第1図は本発明の一実施例である半導体集積回路装置を構成する半導体チップが搭載されるダイパッドの拡大平面図、

第2図はその半導体集積回路装置の一部破断斜視図、

第3図は第2図に示した半導体集積回路装置のⅢ-Ⅲ線の断面図、

第4図～第6図は本発明の他の実施例である半導体集積回路装置を構成する半導体チップが搭載されるダイパッドの拡大平面図、

第 7 図 (a) は従来のダイパッドの平面図、

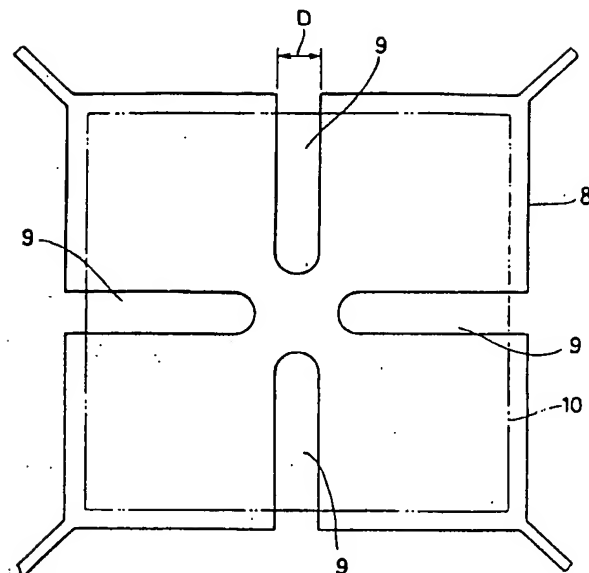
第 7 図 (b) は第 7 図 (a) の B - B 線の断面図、

第 8 図は従来のダイパッドの平面図である。

1・・・半導体集積回路装置、2・・・パッケージ、3 a・・・アウターリード、3 b・・・インナーリード、4・・・半導体チップ、5・・・薄膜、6・・・表面保護膜、7・・・接着部、8・・・ダイパッド、9・・・切込み部、10・・・チップ搭載領域（部品搭載領域）、11、12 a、12 b、13、14・・・孔、D・・・幅、L₁、L₂・・・長さ、50・・・ダイパッド、51・・・凹部、52・・・チップ搭載領域、53・・・孔。

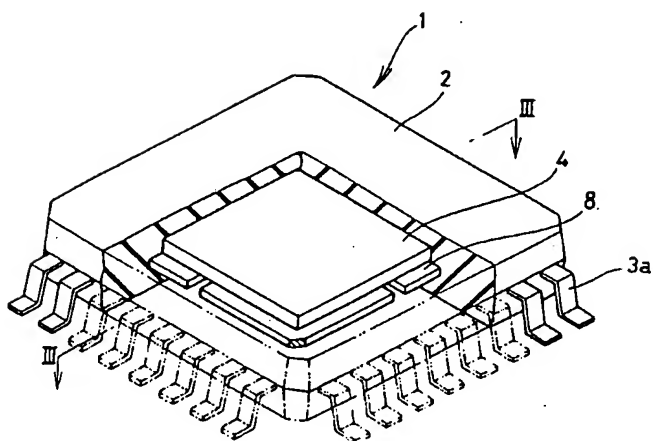
代理人 弁理士 簡 井 大 和

第 一 圖



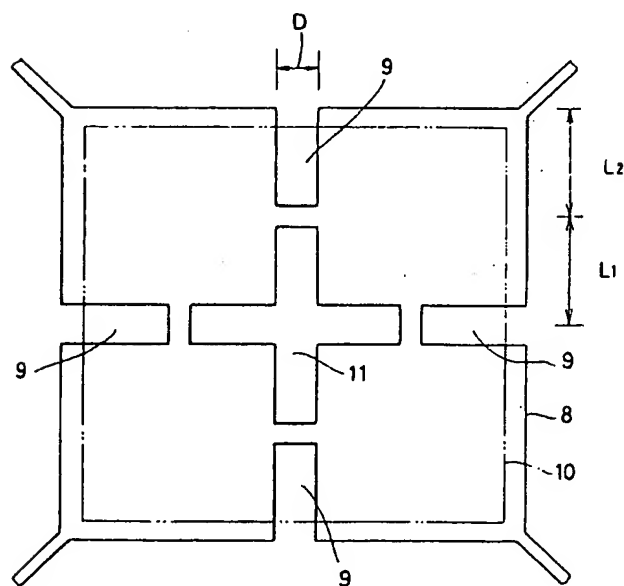
8:ダイパッド
9:切込み部
10:チップ搭載領域(部品搭載領域)

第 2 区



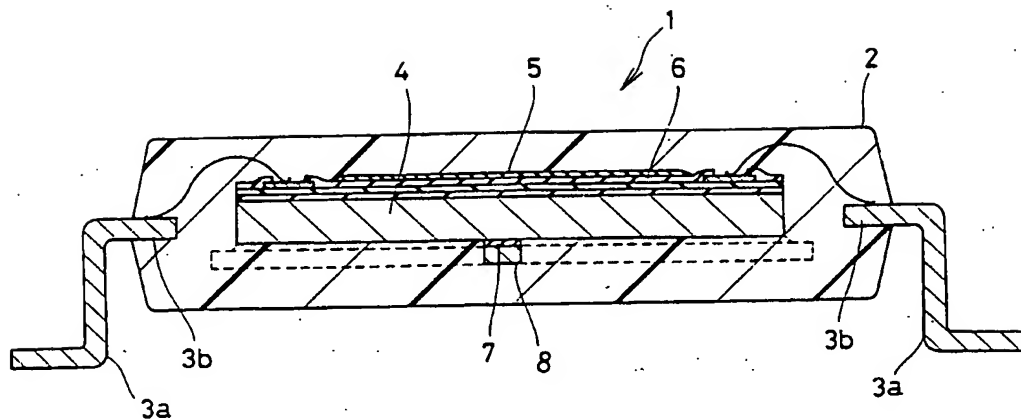
1 : 半導体集積回路装置
4 : 半導体チップ

第 4 図

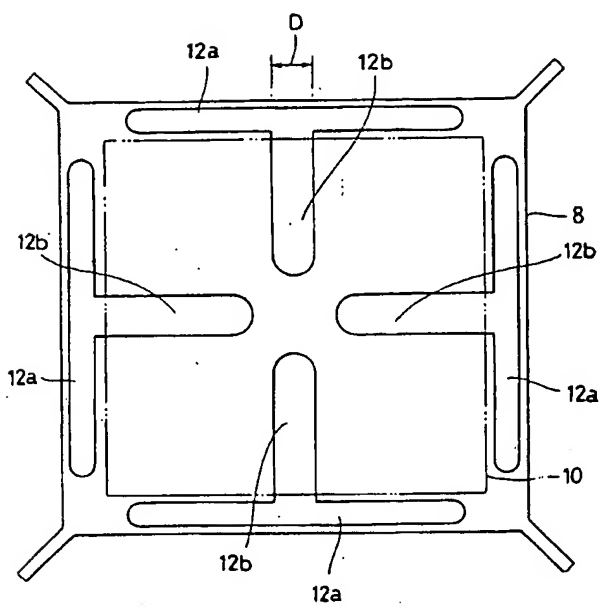


一一：孔

第 3 図

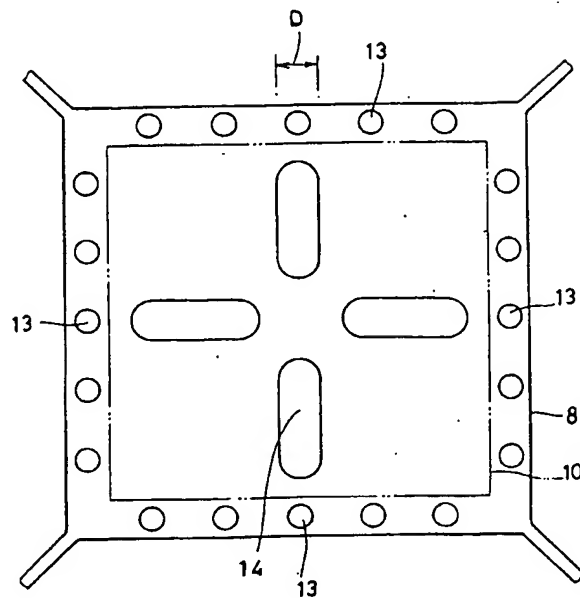


第 5 図

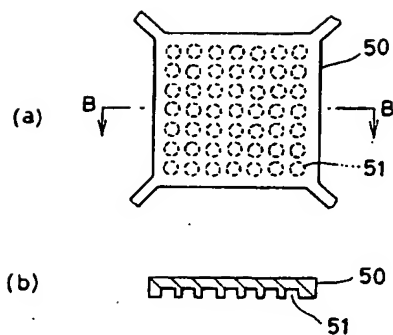


12a, 12b: 孔

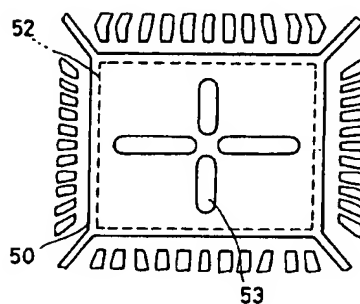
第 6 図



第 7 図



第 8 図



第 1 頁の続き

⑦発 明 者 鈴 木

一 成

東京都小平市上水本町 5 丁目 22 番 1 号 日立マイクロコンピュータエンジニアリング株式会社内

⑦発 明 者 鈴 木

博 通

東京都小平市上水本町 5 丁目 20 番 1 号 株式会社日立製作所武蔵工場内